

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-4433

(43)公開日 平成11年(1999)1.月6日

(51) Int.Cl.⁶

識別記号

FI

H04N 7/24

H0 4N 7/13

 \mathbb{Z}

H O 3 M 7/30

H0 3M 7/30

Z

審査請求 未請求 請求項の数3 O.L (全 8 頁)

(21)出願番号

特願平9-156539

(22) 出願日

平成9年(1997)6月13日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 發明者 伊 藤 隆

神奈川県横浜市港北区綱島東四丁目3番1

号 松下通信工業株式会社内

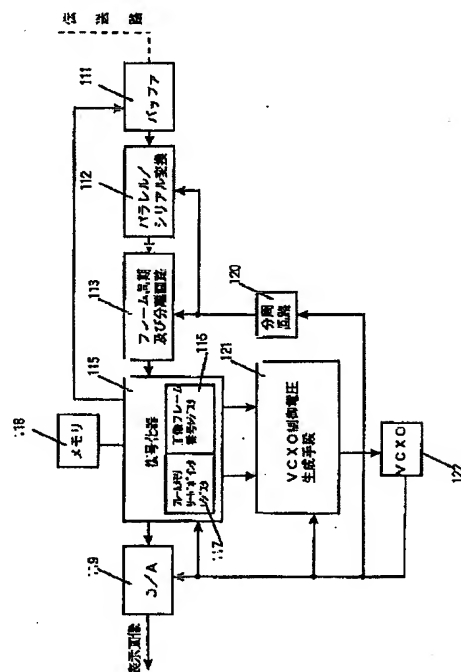
(74)代理人 弁理士 蔵合 正博

(54) 【発明の名称】 画像受信装置

(57) 【要約】

【課題】 伝送フレームに同期信号の情報が格納されていない画像データを受信しても、受信バッファメモリのオーバーフローを発生させない画像受信装置を提供することを目的とする。

【解決手段】 画像圧縮符号化データを復号する復号化器１１５に、符号化データ中の画像フレーム番号を格納する画像フレーム番号レジスタ１１６と、再生画像が格納されているフレームメモリリードポインタを格納するフレームメモリリードポインタレジスタ１１７を設け、２つの値の更新回数から受信側サンプリングクロック周波数の送信側に対する遅れまたは進みを判断して、ＶＣＸＯ１２２の制御電圧を調整するＶＣＸＯ制御電圧生成手段１２１により、受信側サンプリングクロックを自動的に調整して受信バッファのオーバーフローを回避する。



【特許請求の範囲】

【請求項1】 画像圧縮符号化データを受信して復号する際に、データに含まれる画像フレーム番号と表示画像の更新回数とから、受信側サンプリングクロックの周期が送信側に比べて速いか遅いかを判断して、受信側サンプリングクロックの周期を自動的に調整する手段を備えた画像受信装置。

【請求項2】 画像圧縮符号化データを受信して復号する際に、データに含まれる画像フレーム番号と再生画像を格納するフレームメモリの読み出しアドレスであるフレームメモリリードポインタを取り込むレジスタを有する復号化器と、画像フレーム番号とフレームメモリリードポインタを入力として、これらの値から受信側サンプリングクロック周期が送信側に比べて速いか遅いかを判断し、その判断に基づいてVCO制御電圧を調整するVCO制御電圧生成手段を備えた画像受信装置。

【請求項3】 VCO制御電圧生成手段にチャージポンプ回路を用いた請求項2記載の画像受信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、MPEG2などの画像圧縮符号化方式により圧縮符号化された画像データをデジタル伝送路から受信して再生表示する画像受信装置に関するものである。

【0002】

【従来の技術】画像データをMPEG2などの画像圧縮符号化方式により圧縮符号化し、デジタル伝送路によって伝送する画像伝送装置では、送信側と受信側でデータサンプリングクロックが同期していなければ、以下の問題が生じる。一つは受信側サンプリングクロックの周波数が送信側に比べて速い場合であり、この場合、受信側のバッファメモリがアンダーフローして、再生画像の更新ができず画像の繰返し表示が行われる。もう一つは、受信側サンプリングクロックの周波数が送信側に比べて遅い場合であり、送信データが受信側のバッファメモリに少しずつ蓄積し、最後にはバッファメモリがオーバーフローする。このとき、受信側では再生画像の表示の連続性が失われてしまう。画像伝送装置では、後者の場合がより重大な問題であり、受信側のバッファメモリをオーバーフローさせない仕組みが必要となる。

【0003】この問題を解決する従来技術としては、特開昭62-131679号公報に記載されたものがある。これは、送信側において、入力画像信号に含まれる同期信号の有無を示すフラグビットと同期信号の発生タイミングを示す位置アドレスとを伝送フレームに多重し、受信側において、同期信号の有無とその位置アドレスとから送信側と同一の同期信号を生成し、PLLを用いて受信側サンプリングクロックをその同期信号に同期させるというものである。

【0004】図7は従来の画像伝送装置の構成を示し、

図8はその伝送フレームの構成を示す。図7の送信側において、701はA/D変換器、702は符号化器、703はバッファメモリ、704はフレーム構成回路、705はシリアル/パラレル変換回路、706はバッファメモリ、707は同期分離回路、708はPLL回路、709はカウンタ、710は分周回路である。受信側において、711はバッファメモリ、712はパラレル/シリアル変換回路、713はフレーム同期及び分離回路、714はバッファメモリ、715は復号化器、716はメモリ、717はD/A変換器、718は分周回路、719はカウンタ、720はPLL回路である。

【0005】次に、上記画像伝送装置の概略動作を説明する。まず送信側の動作について説明する。入力画像信号に含まれる水平同期信号は、同期分離回路707で分離され、送信側のサンプリングクロックは、PLL回路708により水平同期信号との同期をとる。符号化器702で圧縮符号化された画像データは、一旦バッファメモリ703に格納される。一方、伝送路クロックを分周回路710で分周してデータ転送クロックを生成し、バッファメモリ703から画像データを読み出す。フレーム構成回路704では、図8に示した伝送フレームを構成する。図8において、SYNCビットはフレーム同期をとるためのビット、水平同期有無フラグは水平同期信号の発生の有無を示すフラグ、位置アドレスは水平同期信号の発生タイミングを示すカウンタ値である。カウンタ709はフレームの先頭でクリアされ、常にデータ転送クロックをカウントしている。フレーム構成回路704では、水平同期信号が発生すると水平同期有無フラグをたて、そのときのカウンタ709の値を伝送フレーム中に格納する。シリアル/パラレル変換回路705により伝送データをパラレルデータに変換し、バッファメモリ706に格納する。データはチャンネルごとに時分割に割り当てられたスロットに格納され、バッファメモリ706からバースト転送される。

【0006】次に受信側の動作について説明する。分周回路718により伝送路クロックを分周してデータ転送クロックを生成する。バッファメモリ711にバースト転送された伝送データは、データ転送クロックによりバッファメモリ711から読み出され、パラレル/シリアル変換回路712によりシリアルデータに変換される。フレーム同期及び分離回路713では、フレーム同期を検出し、水平同期有無フラグと位置アドレスを抽出する。ここで水平同期有無フラグが“1”のときは、カウンタ719に位置アドレスの値をロードし、データ転送クロックのカウントを開始する。カウンタ719は、データ転送クロックのカウント値が位置アドレスの値と一致したときキャリー信号を発生する。このキャリー信号は、水平同期信号のタイミングを示すものであり、PLL回路720により受信側のサンプリングクロックをキャリー信号に同期させる。画像データは、フレーム同期

及び分離回路713で分離され、バッファメモリ714に一旦格納され、復号化器715のデータ要求に従ってバッファメモリ714から読み出される。復号処理後の再生画像は、メモリ716の内部にアドレスによって区切られたフレームメモリに格納され、フレーム間予測符号化されたデータの復号の際、参照画像として用いられた後、復号器715から出力され、D/A変換器717でD/A変換が施されて表示される。

【0007】以上のように、従来の画像伝送装置は、送信側において、水平同期信号の発生タイミングを水平同期有無フラグと伝送路クロックから生成したデータ転送クロックのカウント値である位置アドレスを伝送フレーム中に格納して伝送し、受信側において、これらの情報から同じ伝送路クロックから生成したデータ転送クロックを用いて水平同期信号のタイミングを再生することにより、送信側と受信側のサンプリングクロックの同期をとって受信側のバッファメモリのオーバーフローを回避している。

【0008】

【発明が解決しようとする課題】しかしながら、上記従来の技術による画像伝送装置における受信装置は、水平同期信号有無フラグと位置アドレスを伝送フレーム中に格納する送信装置を必ず必要とし、また水平同期信号の情報が格納されていない伝送フレームを受信した場合は、受信バッファメモリがオーバーフローしてしまう可能性がある。また従来の伝送フレームは、水平同期有無フラグと位置アドレスが格納されていることで、オーバーヘッドが大きく伝送効率が下がるという問題もある。

【0009】本発明は、上記問題点を解決するもので、同期信号の情報が格納されていない画像伝送データを受信しても、受信バッファメモリのオーバーフローを発生させない画像受信装置を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明の画像受信装置は、画像の圧縮符号化データを復号する際に、再生画像のフレーム番号と、表示画像の更新回数とから、受信側サンプリングクロックの周期が送信側に比べて速いか遅いかを判断し、受信側サンプリングクロックの周期を自動的に調整するようにしたものである。

【0011】本発明によれば、同期信号の情報が格納されていない画像伝送データを受信しても、受信バッファメモリのオーバーフローを発生させない画像受信装置が得られる。

【0012】

【発明の実施の形態】本発明の請求項1に記載の発明は、画像圧縮符号化データを受信して復号する際に、データに含まれる画像フレーム番号と表示画像の更新回数とから、受信側サンプリングクロックの周期が送信側に比べて速いか遅いかを判断して、受信側サンプリングクロックの周期を自動的に調整する手段を備えた画像受信

装置であり、同期信号の情報が格納されていない画像伝送データを受信しても、受信側において入出力フレーム数と再生画像の繰り返し表示動作を監視することで、受信側サンプリングクロック周波数の遅れまたは進みを検知して自動的に調整し、受信側バッファメモリのオーバーフローを回避するという作用を有する。

【0013】請求項2に記載の発明は、画像圧縮符号化データを受信して復号する際に、データに含まれる画像フレーム番号と再生画像を格納するフレームメモリの読み出しアドレスであるフレームメモリリードポイントを取り込むレジスタを有する復号化器と、画像フレーム番号とフレームメモリリードポイントを入力として、これらの値から受信側サンプリングクロック周期が送信側に比べて速いか遅いかを判断し、その判断に基づいてVCO制御電圧を調整するVCO制御電圧生成手段とを備えた画像受信装置であり、同期信号の情報が格納されていない画像伝送データを受信しても、受信側において入出力フレーム数と再生画像の繰り返し表示動作を監視することで、受信側サンプリングクロック周波数の遅れまたは進みを検知して自動的に調整し、受信側バッファメモリのオーバーフローを回避するという作用を有する。

【0014】請求項3に記載の発明は、VCO制御電圧生成手段にチャージポンプ回路を用いた請求項2記載の画像受信装置であり、同期信号の情報が格納されていない画像伝送データを受信しても、受信側において入出力フレーム数と再生画像の繰り返し表示動作を監視することで受信側サンプリングクロック周波数の遅れ、進みを検知して自動的に調整し、受信側バッファメモリのオーバーフローを回避するという作用を有する。

【0015】以下、本発明の実施の形態について、図1から図6、表1から表3を用いて説明する。

（実施の形態）図1は本発明の実施の形態における画像受信装置のブロック図である。図1において、111はバッファメモリ、112はパラレル/シリアル変換回路、113はフレーム同期及び分離回路、115は復号化器、116は画像フレーム番号レジスタ、117はフレームメモリリードポイントレジスタ、118はメモリ、119はD/A変換器、120は分周回路、121はVCO制御電圧生成手段、122はVCOである。

【0016】このように構成された画像受信装置の動作を以下に説明する。伝送データは、チャンネルごとに時分割に割り当てられたスロットに格納され、バッファメモリ111にバースト転送される。一方、分周回路120によりVCO122からの受信側サンプリングクロックを分周して、受信側におけるデータ転送クロックを生成する。復号化器115のデータ要求信号に従って、受信側のデータ転送クロックでバッファメモリ111から伝送データの読み出しを行う。バッファメモリ111から読み出された伝送データは、パラレル/シリアル変換

回路112を通り、フレーム同期および分離回路113でフレーム同期、画像データの分離が施され、復号化器115に画像データが入力される。復号化器115は、入力された画像圧縮符号化データの復号処理を行い、再生画像をメモリ118の内部にアドレスにより区切られたフレームメモリに格納する。フレームメモリに格納された再生画像は、フレーム間予測符号化されたデータの復号の際、参照画像として用いられた後、復号化器115から出力され、D/A変換器119でアナログ信号に変換され、表示画像として出力される。復号化器115は、復号処理中に圧縮符号化データに格納されている画像フレーム番号と再生画像を出力する際のフレームメモリの読み出しアドレスであるフレームメモリリードポインタを、再生画像出力タイミングに同期してそれぞれ画像フレーム番号レジスタ116とフレームメモリリードポインタレジスタ117に取り込む。VCO制御電圧生成手段121は、この2つのデータから受信側サンプリングクロックの周波数の送信側に対する遅れまたは進みを検知して、VCO122の制御電圧を生成し、VCO122により受信側サンプリングクロックを得る。

【0017】ここで、画像フレーム番号とフレームメモリリードポインタから受信側サンプリングクロックの遅れまたは進みを検知する方法について説明する。図4は

入力フレーム数	2	3	4	5	6	7	8	9	10
出力フレーム数	1	2	3	4	5	6	7	8	9
入出力フレーム数の差	1	1	1	1	1	1	1	1	1

【0019】図5は受信側のサンプリングクロックの周波数が送信側に対して速い場合の入力ビット量と再生画像出力時間の関係を示す。また、表2は再生画像出力の更新があった時点の入力フレーム数と出力フレーム数の関係を示す。この場合、最初に入出力フレーム数の差は“2”となるが、受信側のサンプリングクロックの周期が速いため、入出力フレーム数の差は“2”から“1”への減少を繰り返し、その間に再生画像の繰り返し

入力フレーム数	3	4	4	5	7	7	9	9	11
出力フレーム数	1	2	3	4	5	6	7	8	9
入出力フレーム数の差	2	2	1	1	2	1	2	1	2

図6は受信側のサンプリングクロックの周波数が送信側に対して低い場合の入力ビット量と再生画像出力時間の関係を示す。また、表3に再生画像出力の更新があった時点の入力フレーム数と出力フレーム数の関係を示す。入出力フレーム数の差は“2”から始まりフレーム②出力時において差は“3”になる。途中駒落としが入る

送信側と受信側のサンプリングクロックの同期がとれているときの入力ビット量と再生画像出力時間の関係を示す。図中、縦軸は入力ビット量、横軸は再生画像出力時間、①、②、③、・・・は入力、出力フレーム数を示している。図中、表示出力は瞬時に行われると仮定している。画像伝送における画像データの圧縮符号化にはフレーム間予測符号化が用いられるので、復号処理では表示前の再生画像を参照画像として1枚必要とする。図4ではフレーム②が入力、復号され、再生画像①としてフレームメモリに格納され、フレーム③が入力、再生画像②を用いて復号された後、再生画像③が表示出力される。同じように、フレーム④はフレーム⑤の復号に用いられるから表示出力される。

【0018】表1は再生画像出力の更新があった時点の入力フレーム数と出力フレーム数の関係を示している。送信側と受信側のサンプリングクロックの同期がとれている場合、入出力フレーム数の差は“1”で一定である。また、同期がとれていなくても、送信側サンプリングクロックと受信側サンプリングクロックの周波数が一致していれば、フレーム①の出力タイミングがずれて入出力フレーム数の差が“2”となっても、その後“2”で一定である。

【表1】

表示が発生する。再生画像の繰り返し表示の発生は、入力フレームが更新しているにもかかわらず、再生画像の表示タイミングが速すぎて出力できない場合に生じる。このことは、再生画像出力タイミングにおいて、画像フレーム番号の更新があり、且つフレームメモリリードポインタの更新がない場合に等しい。

【0020】

【表2】

と、フレーム⑥出力時に差は“2”となるが、フレーム⑥出力時で再び差は“3”となる。このように、駒落としのない期間では入出力フレームの差は“2”より大きく、増加していくと考えることができる。以上説明したように、受信側サンプリングクロックの周波数が送信側に比べて高い時は再生画像の繰り返し表示が発生し、低

い時は入出力フレーム数の差が“2”より大きくなるので、これらの状態を検知できる。

【表3】

入力フレーム数	3	5	6	7	7	9	10	11
出力フレーム数	1	2	3	4	5	6	7	8
入出力フレーム数の差	2	3	3	3	2	3	3	3

【0021】図2は本実施の形態におけるVCXO制御電圧生成手段121の構成例を示す。図2において、201は再生画像繰返し表示判定回路、202は画像フレーム番号更新回数カウンタ、203はフレームメモリリードポイント更新回数カウンタ、204は減算器、205は制御電圧UP/DOWN信号生成回路、206はチャージポンプ回路、207はローパスフィルタである。

【0022】次に、VCXO制御電圧生成手段121の概略動作を説明する。復号化器115の内部レジスタに格納されている画像フレーム番号とフレームメモリリードポイントを、再生画像の出力タイミングに合わせて再生画像繰返し表示判定回路201へ入力する。画像フレーム番号の更新があり、且つフレームメモリリードポイントの更新がない場合は、送信側での駒落とし以外で再生画像の繰返し表示が発生したとして、制御電圧UP/DOWN信号生成回路205に情報を与える。更新回数カウンタ202、203は、前回入力時から値が更新された場合のみカウントアップする。画像フレーム番号更新カウンタ202は、入力フレーム数をカウントし、フレームメモリリードポイント更新カウンタ203は、出力フレーム数をカウントすることになる。次に減算器204により入力フレーム数から出力フレーム数を減算し、値を制御電圧UP/DOWN信号生成回路205に入力する。制御電圧UP/DOWN信号生成回路205では、入出力フレーム数の差が“2”より大きい場合は、VCXO122の制御電圧を上昇させるべく、UP信号に一定期間LOWとなるパルスを出力する。また、再生画像繰返し表示の発生が検出された場合は、VCXO122の制御電圧を下降させるべく、DOWN信号に一定期間LOWとなるパルスを出力する。これらの場合以外はUP、DOWN信号ともにHIGHを出力する。チャージポンプ回路206では、UP、DOWN信号によりVCXO制御電圧を生成し、ローパスフィルタ207を通して出力する。

【0023】図3は本実施の形態で用いられる伝送フレームの構成例を示す。図3に示すとおり、伝送フレームは、フレーム同期をとるためのSYNCビットとデータのみで構成され、同期信号情報を含まない。

【0024】以上のように、本実施の形態の画像受信装置によれば、復号化器115において圧縮符号化データ中の画像フレーム番号と再生画像を格納しているフレー

ムメモリリードポイントの値をレジスタに取り込み、これらの値から受信側サンプリングクロック周期の送信側に対する遅れまたは進みを判断してVCXO122の制御電圧を調整するので、送信側から同期信号の情報を受け取らなくても、受信側バッファメモリのオーバーフローを回避することができる。また、送信側においても、同期信号情報を格納するハードウェアが不要になる。また、伝送フレームについても、同期信号情報を格納しないで済む分だけ伝送効率が向上する。

【0025】

【発明の効果】以上のように、本発明の画像受信装置は、復号化器において画像圧縮符号化データを復号する際、画像フレーム番号と再生画像の更新回数から受信側サンプリングクロック周波数が送信側に比べて遅れているか進んでいるかを検知して、受信側サンプリングクロック周期を補正するので、送信側から同期信号情報を受け取らなくても、受信側のバッファメモリのオーバーフローを回避することができる。また、送信側においても、同期信号情報を格納するハードウェアが不要になる。また、伝送フレームについても、同期信号情報を格納しないで済むため、その分、伝送効率が向上する。

【図面の簡単な説明】

【図1】本発明の実施の形態における画像受信装置のブロック図

【図2】実施の形態におけるVCXO制御電圧生成手段のブロック図

【図3】実施の形態における画像受信装置で用いられる伝送フレーム構成図

【図4】受信側サンプリングクロックが送信側と同期している場合の入力ビット量と再生画像出力時間の関係を示す特性図

【図5】受信側サンプリングクロック周期が送信側より速い場合の入力ビット量と再生画像出力時間の関係を示す特性図

【図6】受信側サンプリングクロック周期が送信側より遅い場合の入力ビット量と再生画像出力時間の関係を示す特性図

【図7】従来の技術による画像伝送装置のブロック図

【図8】従来の技術による画像伝送装置で用いられる伝送フレーム構成図

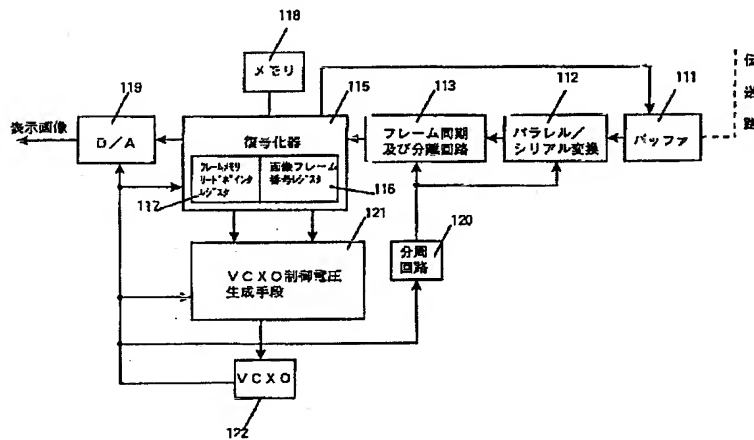
【符号の説明】

111 バッファ

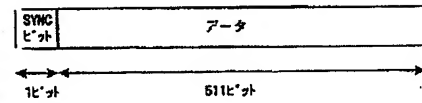
112 パラレル/シリアル変換回路
 113 フレーム同期及び分離回路
 115 復号化器
 116 画像フレーム番号レジスタ
 117 フレームメモリリードポインタ
 118 メモリ
 119 D/A変換器

120 分周回路
 121 VCXO制御電圧生成手段
 122 VCXO
 714 バッファ
 719 カウンタ
 720 PLL回路

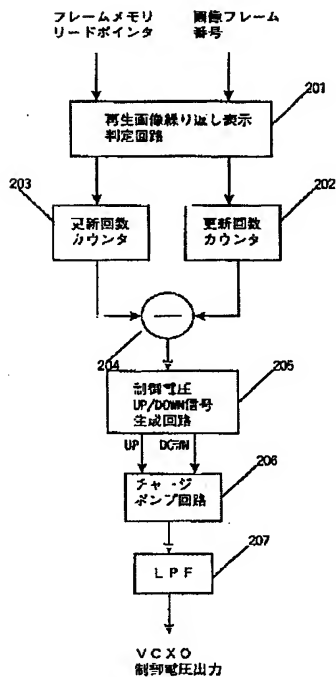
【図1】



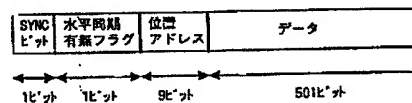
【図3】



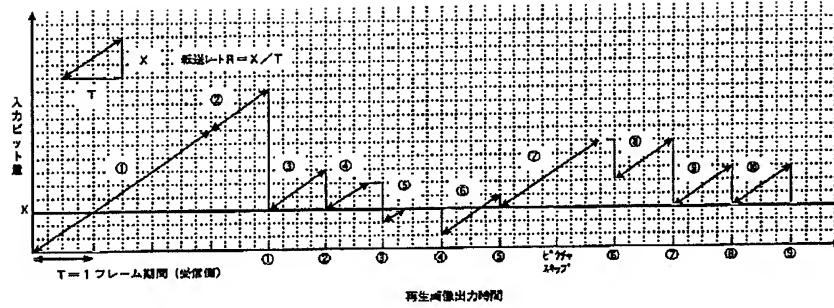
【図2】



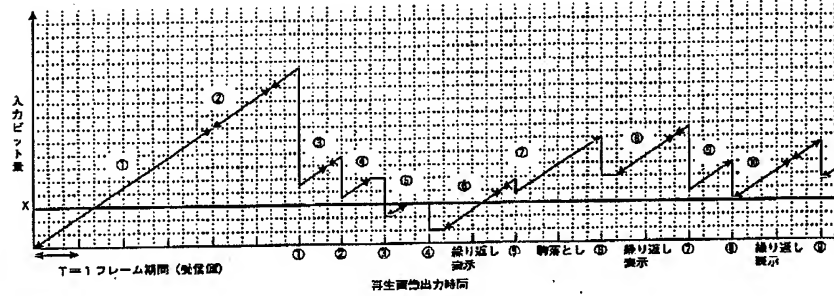
【図8】



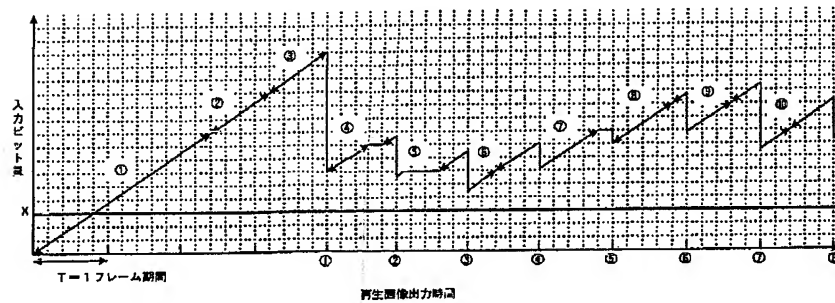
【図4】



【図5】



【図6】



【図7】

